

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-260983

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H01L 29/78

H01L 21/265

H01L 21/336

(21)Application number : 11-060549

(71)Applicant : NEC CORP

(22)Date of filing : 08.03.1999

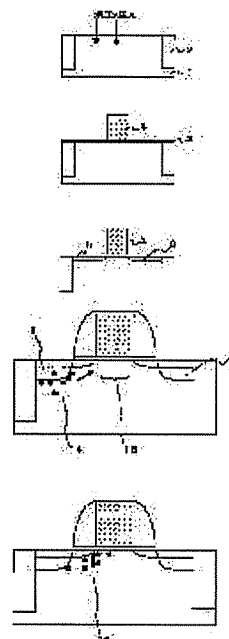
(72)Inventor : KIMIZUKA NAOHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve on-current while reducing off-current, by allowing a channel impurity concentration on a source region side to be higher than that on a drain region side.

SOLUTION: After an element separation film 2 is formed on a p-type silicon substrate 1, boron is injected. Then an ion is injected for forming an extension structure, forming impurity concentration layers 5 and 6. When 'P' is ion- injected into a source region 8, an inter-lattice silicon is generated. The inter-lattice silicon is especially easy to distribute at the peripheral part of the source region 8, and easily couples with the boron already introduced into the substrate. A BI pair 14 wherein the inter-lattice silicon couples with boron is easy to diffuse in the silicon substrate 1 under thermal process. The BI pair 14 is easy to segregate at dissimilar material interface, especially easy to distribute near the gate insulating film, and moves to a channel region 15 directly under a gate electrode in a thermal process. Thus, the boron concentration on the source region side 8 is higher than that on a drain region side 9.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-260983
(P2000-260983A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 H 5 F 0 4 0
21/265		21/265	Q
21/336		29/78	3 0 1 Y

審査請求 有 請求項の数19 O L (全 10 頁)

(21) 出願番号 特願平11-60549

(22) 出願日 平成11年3月8日 (1999.3.8)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 君塚 直彦

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

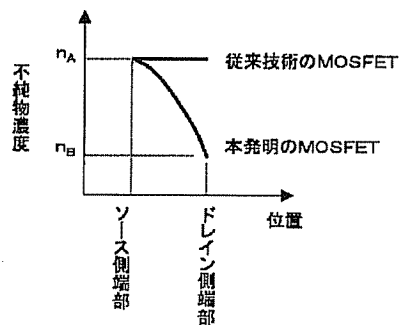
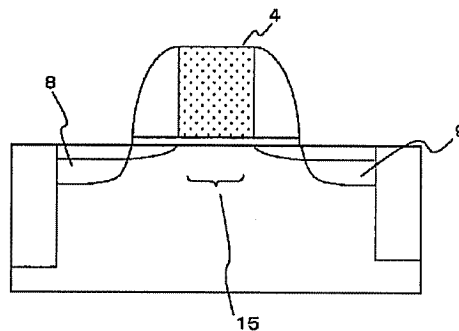
Fターム (参考) 5F040 DA01 DA02 DA22 DB01 DC01
EC07 EE05 EF02 EF18 EK01
EK05 EM01 FB02 FC11 FC17

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 オン電流の向上あるいはオフ電流の低減し、
これによりトランジスタの動作速度の向上あるいは消費
電力の低減を図ること。

【解決手段】 チャネル領域15のソース領域8側端部
における不純物濃度を n_A 、チャネル領域15のドレ
イン領域9側端部における不純物濃度を n_B としたとき
に、 $n_A > n_B$ とする。望ましくは $n_A > 10 n_B$ とする。



【特許請求の範囲】

【請求項1】 シリコン基板と、該シリコン基板上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極の直下の領域に設けられた一導電型の不純物を含むチャンネル領域と、該チャンネル領域を挟むように形成された該不純物と逆導電型のソース領域およびドレイン領域とを有する半導体装置であって、前記チャンネル領域のソース領域側端部における前記不純物の濃度を n_A 、前記チャンネル領域のドレイン領域側端部における前記不純物の濃度を n_B としたときに、 $n_A > n_B$ であることを特徴とする半導体装置。

【請求項2】 $n_A > 1.0 \times n_B$ であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記不純物の導電型がp型であり、前記ソース領域およびドレイン領域の導電型がn型であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記不純物がボロンであることを特徴とする請求項3に記載の半導体装置。

【請求項5】 $1 \times 10^{17} \text{ cm}^{-3} < n_A < 1 \times 10^{19} \text{ cm}^{-3}$ であって $1 \times 10^{15} \text{ cm}^{-3} < n_B < 1 \times 10^{17} \text{ cm}^{-3}$ であることを特徴とする請求項1乃至4いずれかに記載の半導体装置。

【請求項6】 シリコン基板の素子領域に一導電型の不純物を導入する工程と、前記素子領域上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記不純物と逆導電型のソース領域およびドレイン領域を前記ゲート電極を挟むように形成する工程と、前記ソース領域にイオン注入を行い格子間シリコンを生成させる工程と、熱処理により前記格子間シリコンとともに前記不純物を前記チャンネル領域に拡散させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 シリコン基板の素子領域に一導電型の不純物を導入する工程と、前記素子領域上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の一方の脇のソース領域形成箇所にイオン注入を行い格子間シリコンを生成させる工程と、前記不純物と逆導電型のソース領域およびドレイン領域を前記ゲート電極を挟むように形成する工程と、熱処理により前記格子間シリコンとともに前記不純物を前記チャンネル領域に拡散させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 前記イオン注入を、加速電圧5～30keVとして行うことを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】 前記不純物の導電型がp型であり、前記ソース領域およびドレイン領域の導電型がn型であることを特徴とする請求項6乃至8いずれかに記載の半導体装置の製造方法。

【請求項10】 前記不純物がボロンであることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 シリコン基板の素子領域にp型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程と、前記素子領域に、前記ゲート電極を挟むようにn型のソース領域およびドレイン領域を形成する工程と、前記ソース領域にSi、Ge、またはV族元素をイオン注入する工程と、600～800℃にて熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】 シリコン基板の素子領域にp型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の一方の脇のソース領域形成箇所にSi、Ge、またはV族元素をイオン注入する工程と、前記素子領域に、前記ゲート電極を挟むようにn型のソース領域およびドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項13】 前記V族元素がPまたはAsであることを特徴とする請求項11または12に記載の半導体装置の製造方法。

【請求項14】 前記イオン注入を、加速電圧5～30keVとして行うことを特徴とする請求項11乃至13いずれかに記載の半導体装置の製造方法。

【請求項15】 シリコン基板の素子領域にn型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程と、前記素子領域に、前記ゲート電極を挟むようにp型のソース領域およびドレイン領域を形成する工程と、前記ソース領域に、Si、Ge、またはIII族元素をイオン注入する工程と、600～800℃にて熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 シリコン基板の素子領域にn型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の一方の脇のソース領域形成箇所に、Si、Ge、またはII族元素をイオン注入する工程と、前記素子領域に、前記ゲート電極を挟むようにp型のソース領域およびドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項17】 前記III族元素がInであることを特徴とする請求項15または16に記載の半導体装置の製造方法。

【請求項18】 前記n型不純物がヒ素であることを特徴とする請求項15乃至17いずれかに記載の半導体装置の製造方法。

【請求項19】 前記イオン注入を、加速電圧5～30keVとして行うことを特徴とする請求項15乃至18いずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、動作速度の向上や

消費電力の低減を図ったMOS型トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】半導体装置の高性能化の要求が高まる中、半導体装置を構成するMOSFETに対し、動作速度の向上および消費電力の低減が求められている。動作速度の向上を図るにはドレイン飽和電流（以下、「オン電流」という）を増大させることが有効である。一方、消費電力の低減を図るには、ゲート電圧が印加されていない状態においてソース・ドレイン間に流れる電流（以下、「オフ電流」という）を低減させることが有効である。

【0003】オン電流の増大を図ることについては従来から種々の検討がなされている。特開平7-169858号公報には、LDD構造のソース・ドレイン領域を非対称構造とすることでトランジスタのオン電流を増大させる技術が示されている。また特開平10-12870号公報には、LDD構造のソース・ドレイン領域において低濃度層の内部に高濃度層を設けることで、LDDによる電界緩和効果を維持しながらオン電流を向上させる技術が示されている。

【0004】しかしこれらの方法は、ソース・ドレイン構造を変えるものであり、工程が煩雑になる上、ソース・ドレイン構造に一定の制約が加わることとなる。

【0005】ところで、素子の微細化が進行し、ゲート酸化膜の薄膜化が進む中、ソース・ドレインエクステンション構造の採用が主流となりつつある。ソース・ドレインエクステンション構造は、図11のように高濃度不純物層5、6がゲート電極直下の領域まで張り出した構造をいう（なお、上記高濃度不純物層5、6を低濃度不純物層に置き換えればLDD構造となる）。上記のようなエクステンション構造とすることにより、オン抵抗を低減して素子の高速動作を図ることができる。エクステンション構造は、従来、ホットキャリア耐性に劣るという問題があるとされてきた。しかしながら素子が微細化によりゲート酸化膜が薄くなり、たとえば3nm以下の厚みとなると、ホットキャリアによる影響は顕著に低減され、素子の高速動作化のメリットの方が増大することとなる。

【0006】このような事情から、たとえばゲート長 $0.2\mu\text{m}$ 以下、ゲート絶縁膜3nm以下の素子においては、ソース・ドレインエクステンション構造が好ましく用いられるのである。

【0007】ところが、上記公報記載の技術は、LDD構造を前提としたものであり、ソース・ドレインエクステンション構造に適用することは困難であった。

【0008】以上、オン電流の低減について説明したが、一方ではオフ電流の低減も重要となる。オフ電流はゲート電圧が印加されずトランジスタが駆動していない状態におけるドレイン電流であるので、これを低減する

ことにより待機時消費電力を低減することが可能となる。しかしながら上記従来技術では、オフ電流の低減効果については必ずしも充分でなかった。

【0009】

【発明が解決しようとする課題】上記事情を踏まえ、本発明は、ソース・ドレイン構造に制約を加えることなく、オン電流の向上あるいはオフ電流を低減し、これによりトランジスタの動作速度の向上あるいは消費電力の低減を図ることを目的とする。

【0010】

【課題を解決するための手段】本発明によれば、シリコン基板と、該シリコン基板上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極の直下の領域に設けられた一導電型の不純物を含むチャネル領域と、該チャネル領域を挟むように形成された該不純物と逆導電型のソース領域およびドレイン領域とを有する半導体装置であって、前記チャネル領域のソース領域側端部における前記不純物の濃度を n_A 、前記チャネル領域のドレイン領域側端部における前記不純物の濃度を n_B としたときに、 $n_A > n_B$ であることを特徴とする半導体装置が提供される。

【0011】上記構成を有する半導体装置は、たとえば本発明により提供される以下の製造方法により製造することができる。

【0012】すなわち本発明によれば、シリコン基板の素子領域に一導電型の不純物を導入する工程と、前記素子領域上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記不純物と逆導電型のソース領域およびドレイン領域を前記ゲート電極を挟むように形成する工程と、前記ソース領域にイオン注入を行い格子間シリコンを生成させる工程と、熱処理により前記格子間シリコンとともに前記不純物を前記チャネル領域に拡散させる工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0013】また本発明によれば、シリコン基板の素子領域に一導電型の不純物を導入する工程と、前記素子領域上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の一方の脇のソース領域形成箇所にイオン注入を行い格子間シリコンを生成させる工程と、前記不純物と逆導電型のソース領域およびドレイン領域を前記ゲート電極を挟むように形成する工程と、熱処理により前記格子間シリコンとともに前記不純物を前記チャネル領域に拡散させる工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0014】また本発明によれば、以下のようなNチャネルMOSFETおよびPチャネルMOSFETの製造方法が提供される。

【0015】すなわち本発明によれば、シリコン基板の素子領域にp型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程

と、前記素子領域に、前記ゲート電極を挟むようにn型のソース領域およびドレイン領域を形成する工程と、前記ソース領域にSi、Ge、またはV族元素をイオン注入する工程と、600～800℃にて熱処理を行う工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0016】また本発明によれば、シリコン基板の素子領域にp型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の一方の脇のソース領域形成箇所にSi、Ge、またはV族元素をイオン注入する工程と、前記素子領域に、前記ゲート電極を挟むようにn型のソース領域およびドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0017】また本発明によれば、シリコン基板の素子領域にn型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程と、前記素子領域に、前記ゲート電極を挟むようにp型のソース領域およびドレイン領域を形成する工程と、前記ソース領域に、Si、Ge、またはIII族元素をイオン注入する工程と、600～800℃にて熱処理を行う工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0018】また本発明によれば、シリコン基板の素子領域にn型不純物を導入する工程と、前記素子領域上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の一方の脇のソース領域形成箇所に、Si、Ge、またはIII族元素をイオン注入する工程と、前記素子領域に、前記ゲート電極を挟むようにp型のソース領域およびドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0019】本発明の半導体装置は、チャネル領域の不純物濃度を不均一にすることで課題解決を図るものである。従来のMOSFETでは、チャネル領域の不純物濃度は実質的に均一であった。これに対し本発明では、ソース側のチャネル不純物濃度をドレイン側のチャネル不純物濃度よりも高くしている。これにより、一定の閾値電圧としたときのオン電流を向上させることができる。また、オン電流を一定にしたときのオフ電流の低減を図ることができる。

【0020】本発明の半導体装置はソース側のチャネル不純物濃度が、ドレイン側のチャネル不純物濃度よりも高くなっているため、MOSFETの閾値電圧 V_{th} を変えことなくオン電流を向上させることができる。この点について図1を参照して説明する。図中のグラフは、本発明のMOSFETおよび従来技術に係るMOSFETのチャネル領域15表面近傍の不純物濃度分布を示す。この例では不純物としてボロンが用いられている。両者はソース側端部における不純物濃度 n_A は一致して

あるから、 n_A によりその値が決定される。したがって n_A の共通する両者のMOSFETの閾値電圧は一致することとなる。一方、ドレイン側端部における不純物濃度 n_B は本発明の方が従来技術のものよりも低くなっている。オン電流値はピンチオフの生じる電圧により支配され、これはドレイン側の不純物濃度 n_B により支配される。このためチャネル領域15の不純物濃度が均一な従来技術と比べ、本発明のMOSFETはピンチオフ電圧が上昇し、その結果オン電流が増大するのである。

【0021】以上、本発明によるオン電流の低減効果について説明したが、従来のMOSFETに対し、オン電流を一定としつつ閾値電圧を上げ、オフ電流を低減させることもできる。この点について以下、図2を参照して説明する。

【0022】オン電流値はピンチオフの生じる電圧により支配され、これはドレイン側の不純物濃度 n_B により支配される。したがって図2のように従来のMOSFETと本発明のMOSFETとをドレイン側で不純物濃度を一致させることにより両者のオン電流値を同等にすることができる。一方、閾値電圧はソース側の不純物濃度 n_A によって支配される。本発明では n_A が従来のものよりも高くなっており、これにより閾値電圧が上昇し、その結果オフ電流が減少するのである。

【0023】以上のように、本発明の半導体装置は $n_A > n_B$ とされているため、オン電流の向上あるいはオフ電流の低減を図ることができる。オン電流を向上させた場合には動作速度の向上および消費電力の低減を図ることができる。一方、オフ電流を低減させた場合には待機時消費電力、すなわちトランジスタを駆動させていないときの消費電力を低減させることができる。目的に応じて n_A の絶対値を適宜調整することにより、所望の効果が得られる。

【0024】次に本発明の半導体装置の製造方法について説明する。従来の製造方法においては、上記不純物を導入する工程における不純物導入量によって閾値電圧が制御されていた。これに対し本発明では、上記工程における不純物導入量と、格子間シリコンとともにソース領域に拡散した不純物の量との和により閾値電圧が制御される。すなわち本発明においては

(ソース側不純物濃度 n_A)=(不純物導入量)+(不純物拡散量)

(ドレイン側不純物濃度 n_B)=(不純物導入量)

となり、 $n_A > n_B$ の状態を簡便に形成できる。しかも不純物の拡散量は熱処理条件の設定により容易に制御できるため、 n_A を正確に制御でき、所望の不純物分布を容易に実現することができる。

【0025】本発明の半導体装置の製造方法において、ソース・ドレイン領域形成工程と格子間シリコンを生成させる工程との順序はいずれを先にしても良い。ソース・ドレイン領域形成工程前に格子間シリコンを生成させ

ることとすると、格子間シリコン拡散のためのアニールとソース・ドレイン領域形成のためのアニールを同時に行うことが可能となり、プロセス効率を上げることができる。一方、ソース・ドレイン領域形成工程後に格子間シリコンを生成させた場合、格子間シリコンの生成効率が良好となる上、ソース側不純物濃度 n_A の制御性が良好となる。いずれの順序とするかは作製するMOSFETの用途等に応じて適宜選択されるが、PチャネルMOSFETの場合は、ソース・ドレイン領域形成工程後に格子間シリコンを生成させることが好ましい。格子間シリコン生成後に熱処理によるソース・ドレイン領域活性化を行うと、このときに格子間シリコンとチャネル形成用不純物とが拡散する。ここでソース・ドレイン領域活性化のための熱処理は、通常、RTA等により高温で短時間に行われたため、この熱処理による不純物の拡散量を制御することは困難である。このため、その後、不純物拡散のためのアニール工程を別途設けたとしても、すでに一定量の格子間シリコンとチャネル形成用不純物が拡散しているため、ソース側不純物濃度 n_A を良好に制御することは必ずしも容易ではない。このような傾向はPチャネルMOSFETの場合に顕著であるため、PチャネルMOSFETの場合は、ソース・ドレイン領域形成工程後に格子間シリコンを生成させることが好ましいのである。

【0026】なおチャネル領域の不純物としてボロンを用いたNMOSFETの場合、格子間シリコンとボロンの結合体はシリコン中を極めて速い速度で拡散する。したがってこの場合においても、ソース・ドレイン領域を形成する前に格子間シリコンを生成させるとソース側不純物濃度 n_A の制御性が困難となりやすい。したがって、チャネル領域の不純物としてボロンを用いたNMOSFETにおいて n_A の制御性を優先する場合は、ソース・ドレイン領域形成後、格子間シリコンを生成させることが好ましい。

【0027】

【発明の実施の形態】本発明において、 $n_A > 10 \times n_B$ とすることが好ましい。これによりオン電流の向上あるいはオフ電流の低減の程度が顕著となる。

【0028】本発明はNチャネルMOSFETおよびPチャネルMOSFETのいずれにも適用できるが、特にNチャネルMOSFETに適用した場合に顕著な効果が得られる。すなわち不純物の導電型がp型、ソース領域およびドレイン領域の導電型がn型である場合に顕著な効果が得られる。特にチャネル領域の不純物をボロンとすれば効果的である。ボロンは格子間シリコンと容易に結合し、シリコン中を高い拡散速度で移動する。したがってボロンを不純物とする場合、 n_A と n_B の差を容易に大きくすることができ、オン電流を向上あるいはオフ電流の低減の程度が顕著となる。なおPチャネルMOSFETにおいては、チャネル領域に導入する不純物をヒ素

とすることが好ましい。これにより n_A と n_B の差を容易に比較的大きくすることができ、オン電流を向上あるいはオフ電流の低減の程度が顕著となる。

【0029】本発明において n_A および n_B の値は目的に応じ適宜設定されるが、たとえば以下のようにする。すなわち n_A については、好ましくは $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、さらに好ましくは $5 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とする。一方、 n_B については、好ましくは $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 、さらに好ましくは $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ とする。このようにすれば、たとえばオン電流の向上の程度が顕著となる。

【0030】本発明において、ソース領域およびドレイン領域はエクステンション構造を有することが好ましい。これによりMOSFETの駆動速度をより高めることができる。エクステンション構造とは、図11のように、ソース・ドレイン領域の端部がゲート電極下の領域まではり出し、このはり出した部分に高濃度の不純物が導入された構造をいう。

【0031】本発明の半導体装置の製造方法において、ソース・ドレイン領域形成時には格子間シリコンが実質的に発生しないことが好ましい。ソース・ドレイン領域形成時に格子間シリコンが発生すると、チャネル領域のドレイン領域側にも不純物が偏析することがあり、チャネル領域中に良好な不純物分布を形成することが困難になる場合があるからである。このためソース・ドレイン領域は、加速電圧8keV以下とするイオン注入により行うことが望ましい。このような低い加速電圧でイオン注入することにより格子間シリコンの発生を抑制することができる。

【0032】本発明の半導体装置の製造方法において、格子間シリコンを発生させるためのイオン種は、NチャネルMOSFETの場合、Si、Ge、またはV族元素とすることが好ましく、PチャネルMOSFETの場合、Si、Ge、またはIII族元素とすることが好ましい。ここでV族元素としては、PまたはAsとすることが好ましく、III族元素としては、Inが好ましい。以上のようなイオン種を用いれば、格子間シリコンを効果的に発生させることができる。イオン注入の加速電圧は注入イオン種により適宜設定され、たとえば5~30keVの範囲で設定される。リンの場合は5~15keVが好ましく、ヒ素の場合は20~30keVが好ましい。このようにすることによって、基板の損傷を抑えつつ格子間シリコンを効果的に発生させることができる。上記の範囲よりも低いと格子間シリコンが発生しにくく、高いと短チャネル効果等の問題を引き起こす場合がある。

【0033】なお本発明は、パワーMOSFETに適用することもできる。パワーMOSFETでは閾値電圧を向上させることにより耐ノイズ性を改善することが望ま

れているが、本発明によれば、格子間シリコンの作用等によりソース側の不純物濃度が高められる。このため閾値電圧を向上し、優れた耐ノイズ性を実現できる。

【0034】

【実施例】実施例1

本実施例は、本発明をNMOSに適用した例を示すものである。以下、図3を参照して説明する。

【0035】まず、p型のシリコン基板1上にSTI (Shallow Trench Isolation) による素子分離膜2を形成した後、ボロンのイオン注入を行った。このイオン注入は閾値電圧の調整を目的としたものであり、イオン注入条件は、加速電圧80keV、ドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ とした(図3(a))。本実施例では閾値電圧を0.2Vと設計している。このような閾値電圧をする場合、従来技術ではドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ 程度としていたが、本実施例ではこれよりも低いドーズ量としている。

【0036】つづいて850℃でパイロジェニック酸化を行い、活性領域の表面に厚さ3nmのゲート酸化膜3を形成した後、その上にポリシリコン膜150nmを堆積し、これを選択エッチングによりパターニングしてゲート電極4を形成した(図3(b))。ゲート長は0.18 μm とした。

【0037】次にエクステンション構造形成のためのイオン注入を行った。イオン種はAsとし、加速電圧5keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ とした。これにより不純物高濃度層5、6を形成した(図3(c))。

【0038】次いでゲート電極4の側壁にサイドウォール7を形成した後、全面にイオン注入を行った。イオン種はAsとし、加速電圧8keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ とした。これにより、ゲート電極へのAs注入およびソース・ドレイン領域形成箇所へのAs注入が同時に行われる。As注入後、窒素雰囲気下で1050℃の熱処理を行い、ゲート電極中のAsを活性化するとともにソース領域8およびドレイン領域9の形成を行った(図4(a))。

【0039】次に、ソース領域の部分を開口させたレジストマスク11を形成し、ソース領域8にP(リン)をイオン注入した。ここでは加速電圧10keV、ドーズ量 $3 \times 10^{14} \text{ cm}^{-2}$ とした。これによりソース領域6とオーバーラップするようにリン注入領域12が形成される(図4(b))。このイオン注入を行うことにより、格子間シリコンが発生する。格子間シリコンは特にソース領域8の周縁部に分布しやすく、すでに基板中に導入されているボロンと容易に結合する。以下、格子間シリコンとボロンの結合したものをBIペアと称する。

【0040】リン注入後、700℃にて熱処理を行った。このときのBIペア14の挙動を図5(a)、(b)に示す。BIペア14はシリコン中で高い拡散速度を示すため、BIペア14は上記熱処理によりシリコ

ン基板1中を容易に拡散する。またBIペア14はSiO₂とSi等の異種材料界面に偏析しやすい性質を有しているため、特にゲート絶縁膜近傍に分布することとなる。このため、上記熱処理を行うことによりBIペア14はゲート電極直下のチャンネル領域15に移動していく。熱処理後、ソース領域8側のボロン濃度がドレイン領域9側のボロン濃度よりも高くなる(図5(b))。

【0041】熱処理後のボロン濃度分布の概念図を図6に示す。図はチャンネル領域15表面近傍におけるボロン濃度を示すものであるが、チャンネル領域15のソース領域8側端部におけるボロン濃度 n_A は、ドレイン領域9側端部におけるボロン濃度 n_B よりも大きくなっている。ボロン濃度 n_A により閾値電圧が決定するが、本実施例ではリンの注入条件およびその後の熱処理条件を上記のように設定することで、閾値電圧が0.2Vとなるように調整されている。すなわち、ボロン導入量と、格子間シリコンとともにソース領域に拡散したボロンの量との和が、0.2Vの閾値電圧を実現するように調整されている。

【0042】一方、チャンネル領域12のドレイン領域7側端部ではボロン濃度が低くなっており、従来のようにチャンネル領域の不純物濃度を均一した場合と比べ、オン電流が増大する。

【0043】比較例1

対照のため従来の方法によりMOSFETを作製した。すなわち、リンのイオン注入を行わず、図3(a)におけるボロン注入のドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ としたこと以外は実施例1と同様にしてMOSFETを作製した。

【0044】実施例1および比較例1で作製されたNチャンネルMOSFETの電気特性を評価したところ、実施例1のMOSFETは、閾値電圧が0.2V、オン電流は $V_G = 1.5 \text{ V}$ のときに $600 \mu\text{A}/\mu\text{m}$ であった。一方、比較例1のMOSFETでは、閾値電圧は同一であり、オン電流は $V_G = 1.5 \text{ V}$ のときに $540 \mu\text{A}/\mu\text{m}$ であった。なおオフ電流は、いずれも $2 \text{ nA}/\mu\text{m}$ であった。この結果により、本発明によるオン電流向上の効果が確認された。

【0045】実施例2

図3(a)におけるボロン注入のドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ としたこと以外は実施例1と同様にしてMOSFETを作製した。作製されたMOSFETは、閾値電圧が0.25V、オフ電流が $550 \text{ pA}/\mu\text{m}$ で、オン電流が $V_G = 1.5 \text{ V}$ のときに $540 \mu\text{A}/\mu\text{m}$ であった。従来のMOSFETでは同等のオン電流で閾値電圧が0.2V、オフ電流が $2 \text{ nA}/\mu\text{m}$ であったことから、本発明によるオフ電流低減の効果が確認された。

【0046】実施例3

本実施例は、本発明をPMOSに適用した例を示すものである。以下、図7を参照して説明する。

【0047】まず、p型のシリコン基板上にSTI (Shallow Trench Isolation) による素子分離膜2を形成した後、全面にリンを注入し、ウエル領域20を形成した。次いで素子領域の表面にヒ素のイオン注入を行った。このイオン注入は閾値電圧の調整を目的としたものであり、イオン注入条件は、加速電圧100keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ とした(図7(a))。本実施例では閾値電圧を0.3Vと設計している。このような閾値電圧をする場合、従来技術ではドーズ量を $2 \times 10^{12} \text{ cm}^{-2}$ 程度としていたが、本実施例ではこれよりも低いドーズ量としている。つづいて850℃でパイロジェニック酸化を行い、活性領域の表面に厚さ4nmのゲート酸化膜3を形成した後、その上にポリシリコン膜150nmを堆積し、これを選択エッチングによりパターニングしてゲート電極4を形成した(図7(b))。ゲート長は0.18 μm とした。

【0048】次にエクステンション構造形成のためのイオン注入を行った。イオン種は BF_2 とし、加速電圧5keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ とした。これにより不純物高濃度層5、6を形成した(図7(c))。

【0049】次いでゲート電極4の側壁にサイドウォール7を形成した後、全面にイオン注入を行った。イオン種はボロンとし、加速電圧2keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ とした。これにより、ゲート電極へのボロン注入およびソース・ドレイン領域形成箇所へのボロン注入が同時に行われる。ボロン注入後、窒素雰囲気下で1050℃の熱処理を行い、ゲート電極中のボロンを活性化するとともにソース領域8およびドレイン領域9の形成を行った(図8(a))。なお本実施例ではp型不純物としてボロンを用いているが、これにより、 BF_2 を使用した場合と比較してボロン突き抜けの発生が抑制される。

【0050】次に、ソース領域の部分を開口させたレジストマスク11を形成し、ソース領域8にシリコンをイオン注入した。ここでは加速電圧10keV、ドーズ量 $3 \times 10^{14} \text{ cm}^{-2}$ とした。これによりソース領域6とオーバーラップするようにシリコン注入領域21が形成される(図8(b))。このイオン注入を行うことにより、格子間シリコンが発生する。格子間シリコンは特にソース領域8の周縁部に分布する。

【0051】シリコン注入後、700℃にて熱処理を行った。このとき格子間シリコンが作用することにより、ヒ素22がゲート電極直下のチャネル領域に移動していく(図9(a)、(b))。熱処理後、ソース領域8側のヒ素濃度がドレイン領域9側のヒ素濃度よりも高くなる(図9(b))。

【0052】熱処理後のヒ素濃度分布の概念図を図10に示す。図はチャネル領域15表面近傍におけるヒ素濃度を示すものであるが、チャネル領域15のソース領域8側端部におけるヒ素濃度 n_A は、ドレイン領域9側端

部におけるヒ素濃度 n_B よりも大きくなっている。ヒ素濃度 n_A により閾値電圧が決定されるが、本実施例ではリンの注入条件およびその後の熱処理条件を上記のように設定することで、閾値電圧が0.2Vとなるように調整されている。すなわち、ヒ素導入量と、格子間シリコンとともにソース領域に拡散したヒ素の量との和が、0.2Vの閾値電圧を実現するように調整されている。

【0053】一方、チャネル領域12のドレイン領域7側端部ではヒ素濃度が低くなっており、従来のようにチャネル領域の不純物濃度を均一した場合と比べ、オン電流が増大する。

【0054】比較例2

対照のため従来によりMOSFETを作製した。すなわち、シリコンのイオン注入を行わず、図7(a)におけるヒ素注入のドーズ量を $8 \times 10^{12} \text{ cm}^{-2}$ としたこと以外は実施例3と同様にしてMOSFETを作製した。

【0055】実施例3および比較例2で作製されたNチャネルMOSFETの電気特性を評価したところ、実施例3のMOSFETは、閾値電圧が0.2V、オン電流は $V_G = -1.5\text{V}$ のときに $210 \mu\text{A}/\mu\text{m}$ であった。一方、比較例2のMOSFETでは同じ閾値電圧でオン電流が $180 \mu\text{A}/\mu\text{m}$ であった。なおオフ電流は、いずれも $2.5 \text{ nA}/\mu\text{m}$ であった。この結果により、本発明によるオン電流向上の効果が確認された。

【0056】

【発明の効果】以上のように本発明によれば、ソース領域側のチャネル不純物濃度 n_A をドレイン領域側のチャネル不純物濃度 n_B よりも大きくしているため、オン電流の向上あるいはオフ電流の低減を図ることができる。オン電流を向上させた場合には動作速度の向上および消費電力の低減を図ることができる。一方、オフ電流を低減させた場合には待機時消費電力、すなわちトランジスタを駆動させていないときの消費電力を低減させることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の構造を説明するための図である。

【図2】本発明の半導体装置の構造を説明するための図である。

【図3】本発明の半導体装置の製造方法を示す図である。

【図4】本発明の半導体装置の製造方法を示す図である。

【図5】本発明の半導体装置の製造方法を示す図である。

【図6】本発明の半導体装置の製造方法を示す図である。

【図7】本発明の半導体装置の製造方法を示す図である。

【図8】本発明の半導体装置の製造方法を示す図である。

【図9】本発明の半導体装置の製造方法を示す図である。

【図10】本発明の半導体装置の製造方法を示す図である。

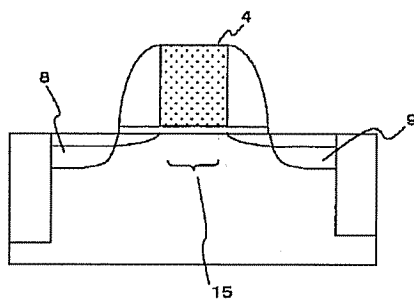
【図11】エクステンション構造を有するソース・ドレイン領域の形態を示す図である。

【符号の説明】

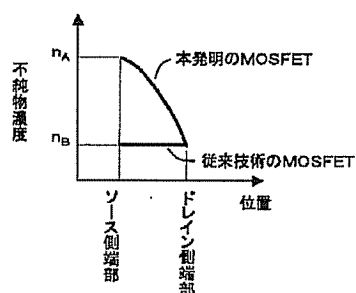
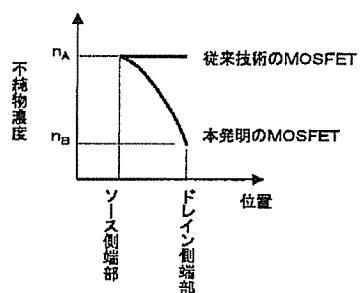
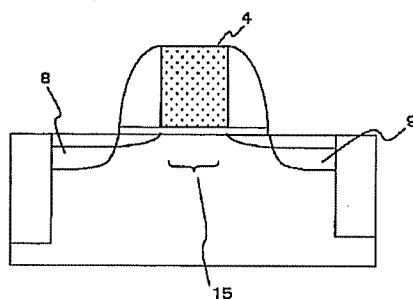
- 1 シリコン基板
- 2 素子分離膜
- 3 ゲート酸化膜
- 4 ゲート電極

- 5 不純物高濃度層
- 6 不純物高濃度層
- 7 サイドウォール
- 8 ソース領域
- 9 ドレイン領域
- 11 レジストマスク
- 12 リン注入領域
- 14 B I ペア
- 15 チャンネル領域
- 10 20 ウエル領域
- 21 シリコン導入領域
- 22 ヒ素

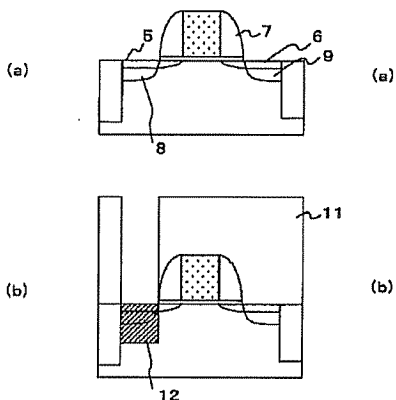
【図1】



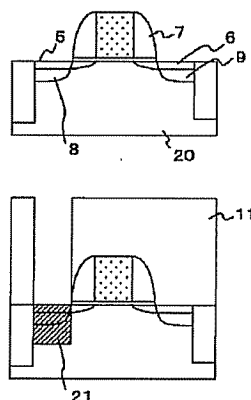
【図2】



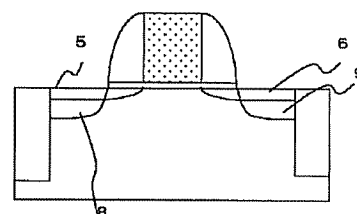
【図4】



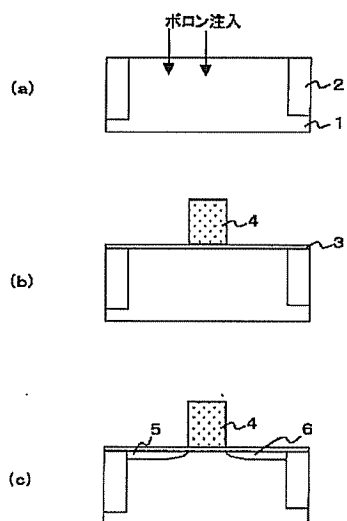
【図8】



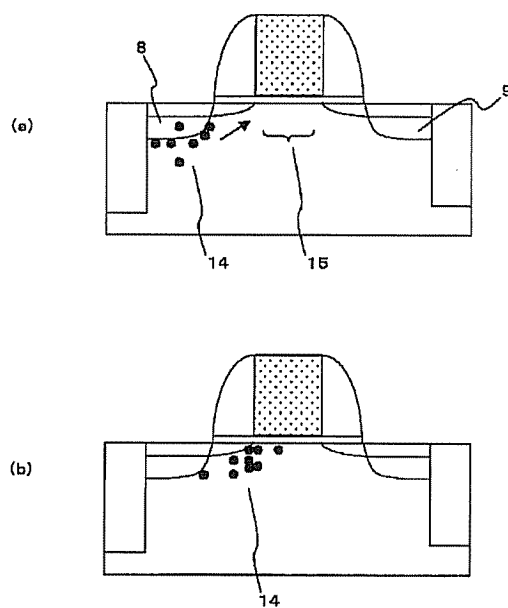
【図11】



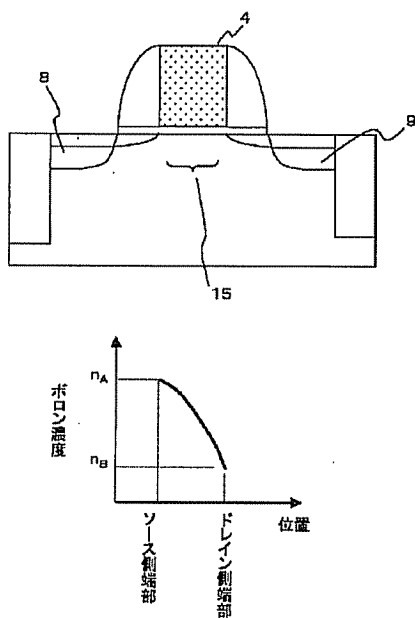
【図3】



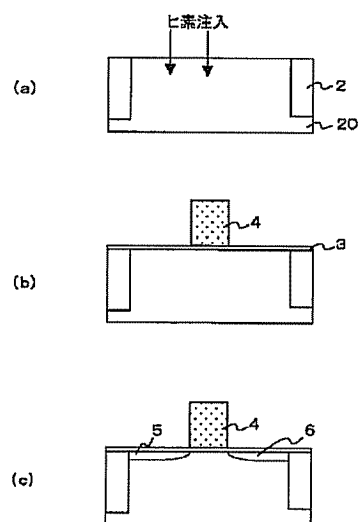
【図5】



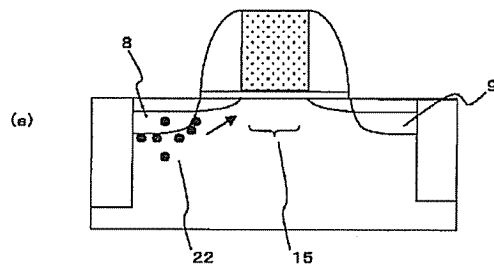
【図6】



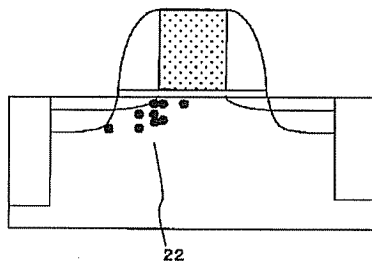
【図7】



【図9】



(b)



【図10】

